

(51) Int.Cl.⁶

G 0 9 G 3/30

識別記号

庁内整理番号

F I

J 9378-5G

審査請求 未請求 予備審査請求 有 (全 8 頁)

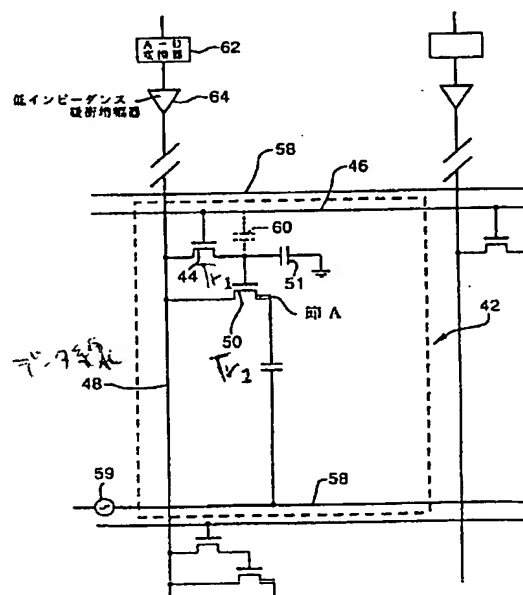
(21) 出願番号 特願平6-500688
 (86) (22) 出願日 平成5年(1993)5月28日
 (85) 翻訳文提出日 平成6年(1994)12月2日
 (86) 国際出願番号 PCT/US93/04906
 (87) 国際公開番号 WO93/24921
 (87) 国際公開日 平成5年(1993)12月9日
 (31) 優先権主張番号 892, 464
 (32) 優先日 1992年6月2日
 (33) 優先権主張国 米国 (US)
 (81) 指定国 EP(AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), FI, JP, KR

(71) 出願人 デヴィッド・サーンオフ・リサーチ・センター、インコーポレーテッド
 アメリカ合衆国ニュージャージー州
 08543-5300 プリンストン、ワシントン・ロード 201
 (72) 発明者 スチュアート、ロジャー・グリーン
 アメリカ合衆国ニュージャージー州
 08853、ソマースト、ヒルズボロ・タウン
 シツプ、ネシヤニツク・ステーション、スキー・ドライブ 3
 (74) 代理人 弁理士 川原田 一穂

(54) 【発明の名称】 能動マトリックス電界発光ディスプレイおよび操作の方法

(57) 【要約】

改良された発光効率を有する能動マトリックス電界発光ディスプレイ (AMELD) およびグレースケール操作を行なうため上記 AMELD を操作する方法が示される。本発明は複数の画素を含む AMELD であって、各画素 (42) が、選択回線 (46) に接続されたそのゲート、データ回線 (48) に接続されたそのソース、および第2トランジスタ (50) のゲートに接続されたそのドレーンを備える第1トランジスタ (44)、上記データ回線 (48) に接続されたそのソースおよび電界発光 (EL) セルの第1電極に接続されたそのドレーンを備える第2トランジスタ (50) を含む。上記 EL セルの第2電極が交流高圧源 (59) に接続される。交流電圧が上記 EL セルに印加されつつ、第2トランジスタの時間の長さを変更するステップを含むグレースケール性能をつくり出す方法も示される。



請求の範囲

1. 画面の配列からなる電界発光ディスプレイであって、各画面が、
選択回路に接続されたゲート、データ回路に接続されたソースおよび第2トランジスタのゲートに接続されたドレインを備える第1トランジスタ；
上記データ回路に接続されたソースおよび電界発光セルの第1電極に接続されたドレインを備える第2トランジスタ；および
第2電極を備える上記電界発光セル；を含む、
前記電界発光ディスプレイ。
2. 上記電界発光セルの第2電極が、該電界発光セルの第2電極と基準ポテンシャルの源との間の交流電圧電源を提供する手段に接続された請求項1のディスプレイ。
3. 交流電圧電源を提供する手段が、共振交流高圧電源からなる請求項2のディスプレイ。
4. 上記電源が：
入力電圧を受ける第1の手段；
一端部において、第1スイッチを経て上記第1の手段に直列接続され、かつもう一つの端部において上記電界発光セルの第2電極に接続された抵抗器；
上記第1の手段に接続され、かつ第2スイッチを経て基準ポテンシャルの源に直列接続されたインダクタ；
上記第1の手段を切り、上記インダクタ、上記第1スイッチ、および上記抵抗器に接続された第3スイッチ；
上記電界発光セルの第2電極に接続された入力と、かつ2つの入力ならびに第1および第2出力を備えるセットノリセットラッチの一方の入力に接続された出力を有する比較器；を含む、
上記ラッチの第1出力が活動化した時には、上記第1および第2スイッチを閉じ、上記ラッチの第2出力が活動化した時には、上記第1および第2スイッチを開き、かつ上記第3スイッチを閉じ；
上記抵抗器およびインダクタの値が、上記第1の手段に印加された電圧の掛

る周期すなわち上記第2ビットの重要度に対応する電流パルス数の間、電流源と画面を接続すること；を含む、
請求項8の方法。

10. 上記手段に信号を印加することのステップが、
1フレームを複数のサブフレームにディスプレイするため時間を分割すること；

上記データ回路に電圧を印加しつつ、上記第1サブフレームの第1周期期間中、複数の第1ビットに対応する電圧を、上記画面の第1トランジスタのゲートに印加すること、第1サブフレームの第2周期期間中、時間の量すなわち上記第1ビットの重要度に対応する電流パルス数の間、上記画面に電流源を接続すること；

上記データ回路に電圧を印加しつつ、上記第2サブフレームの第1周期期間中、複数の第2ビットに対応する電圧を、上記画面の第1トランジスタのゲートに印加すること、第2サブフレームの第2周期期間中、時間の量すなわち上記第2ビットの重要度に対応する電流パルス数の間、上記画面に電流源を接続すること；からなる、
請求項9の方法。

11. 電界発光セルに対して、該電界発光セルを照明可能にする電圧を利用できるようにすることのステップが；

時間と共にその電圧が変化するアナログ信号をつくること；および
フレームロード時間周期期間中、電界発光セルを経て電流を制御する手段に上記アナログ信号を印加すること；および上記電界発光セルの第2電極に電圧を付加すること；これにより、フレーム時間の上記周期の完了に先立ち、照明時間周期期間中、上記手段を一時停止にすること；からなる、
請求項8の方法。

12. 時間と共にその電圧が変化するアナログ信号をつくることのステップが、
上記電源が第2電極に接続される時間の周期の第1部分に対し、上記手段を一時停止するに必要な電圧よりも低い信号をつくること、および電源が第2電極に接続される時間の周期の第2部分に対し、上記手段を一時停止するに必要な電圧より

り高い信号をつくること、からなる、請求項11の方法。

請求項3のディスプレイ。

5. 上記第2トランジスタが、ドリフト形MOSトランジスタである請求項1のディスプレイ。

6. 上記第2トランジスタのゲートと、基準ポテンシャルの源との間に接続されたコンデンサを含む請求項5のディスプレイ。

7. 上記データ回路と、上記第2トランジスタのゲートとの間に接続されたコンデンサを含む請求項5のディスプレイ。

8. イメージのフレームをディスプレイするため、電界発光ディスプレイを操作する方法であって、該ディスプレイが複数の画面を含み、各画面が選択回路に接続されたゲート、データ回路に接続されたソースおよび特定画面の電界発光セルを経て電流を制御する手段に接続されたドレインを備える第1トランジスタを有しており、上記方法が；

電界発光セルを経て電流を制御する手段に電圧を蓄電するための第1ロード期間中、上記選択回路およびデータ回路に電圧を印加すること；および

第2照明期間中、上記電界発光セルに対して、上記蓄電した電圧の値に基づき、該電界発光セルを照明可能にする電圧を利用できるようにすること；のステップからなる前記電界発光ディスプレイを操作する方法。

9. 請求項8の方法であって、

電界発光セルに対して、該電界発光セルを照明可能にする電圧を利用できるようにすることのステップが、複数のビットからなるデジタル信号を形成することを含み、各ビットが、上記イメージのフレームの特定画面の明るさの表現である2つの異なる電圧に形成されており；そして

フレーム時間の第1フィールド期間中、複数の第1ビットの2つの電圧中の1つを上記画面の第1トランジスタ内にローディングすること、フレーム時間の第2（同期）フィールド期間中、時間のある周期すなわち上記第1ビットの重要度に対応する電流パルス数の間、電流源と画面を接続すること；フレーム時間の第3フィールド期間中、複数の第2ビットの2つの電圧中の1つを上記画面内にローディングすること；およびフレーム時間の第4フィールド期間中、時間のある

りも高い信号をつくること、からなる、請求項11の方法。

13. イメージのフレームをディスプレイするため、電界発光ディスプレイを操作する方法であって、該ディスプレイが複数の画面を含み、各画面が選択回路に接続されたゲート、データ回路に接続されたソースおよび特定画面の電界発光セルを経て電流を制御する手段に接続されたドレインを備える第1トランジスタを有しており、上記方法が；

複数のビットからなるデジタル信号を形成すること；各ビットが、2つの異なる電圧で、上記イメージのフレームの特定画面の明るさを表現するように形成されており、

フレーム時間の第1同期期間中、複数の第1ビットの電圧の1つを上記画面の第1トランジスタ内にローディングすること；

フレーム時間の第2同期期間中、時間のある周期すなわち上記第1ビットの重要度に対応する電流パルス数の間、電流源と画面を接続すること；

フレーム時間の第3同期期間中、複数の第2ビットの電圧の1つを上記画面内にローディングすること；および

フレーム時間の第4同期期間中、時間のある周期すなわち上記第2ビットの重要度に対応する電流パルス数の間、電流源と画面を接続すること；のステップからなる前記電界発光ディスプレイを操作する方法。

14. 能動マトリックス電界発光ディスプレイを操作する方法であって、該ディスプレイが複数の画面を含み、各画面が、選択回路に接続されたゲート、データ回路に接続されたソースおよび第2トランジスタのゲートに接続されたドレインを備える第1トランジスタ、上記データ回路に接続されたソースおよび電界発光セルの第1電極に接続されたドレインを備える第2トランジスタ、第2電極を備える上記電界発光セルを含み、上記方法が；

所定画面の第2トランジスタを可能化するため、上記選択回路およびデータ回路に電圧を印加すること；

時間の周期の間、所定画面の電界発光セルの第2電極に電圧を付加すること；および

時間の上記周期の完了に先立ち所定画面の第2トランジスタを一時停止す

ること；

のステップからなる前記能動マトリクス電界発光ディスプレイを操作する方法

15. 複数の画素からなる電界発光ディスプレイであって、各画素が、

光透過電材料製の第1層；

該第1層の上に積たわる電気絶縁材料製の第2層；

該第2層の上に積たわる発光電界発光材料製の第3層；

該第3層の上に積たわる電気絶縁材料製の第4層；

該第4層の上に積たわる導電材料製の第5層；

該第5層の上に積たわる分離層；

該分離層の上に積たわる半導体材料の層内に形成され、かつ選択回路に接続されたゲート、データ回路に接続されたソースおよび第2トランジスタのゲートに接続されたドレインを備える第1トランジスタ；

上記分離層の上に積たわる半導体材料の層内に形成され、かつ上記データ回路に接続されたソースおよび上記第1層または第5層に接続されたドレインを備える第2トランジスタ；を含む、
前記電界発光ディスプレイ。

からの電流は、E1セル28およびトランジスタ20を経て接地され、活動化E1セルからの電界発光の光出力を生じる。

このAMELDおよび公知の形状は、各画素に多数の構成要素を必要とし、そしてグレースケール操作がない。従って、少ない構成要素でしかもグレースケール操作のある、代わりのAMELDを必要とする。

発明の概要

本発明は複数の画素からなるAMELDであり、各画素が、選択回路に接続されたゲート、データ回路に接続されたソース、および第2トランジスタのゲートに接続されたドレインを有する第1トランジスタ；上記データ回路に接続されたソース、および電界発光(E1)セルの第1電極に接続されたドレインを有する第2トランジスタを含み、そして上記E1セルが、このE1セルの第2電極と基準ポテンシャルの原との間に交流電圧を供給する手段(装置)に接続されたその第2電極を備えている。本発明はまた、所定画素のE1セルが画素配列の高圧駆動の期間中、オンとなる時間の長さを定めることにより、グレースケール性能をつくり出す方法である。

図面の簡単な説明

図1は、従来技術AMELDの画素に対する略示回路図である。

図2は、本発明のAMELDの画素に対する略示回路図である。

図2(a)は、図2のAMELDの他の一実施例。

図3は、本発明のAMELDの他の一実施例の画素に対する略示回路図である。

図4は、本発明のAMELDに用いられる交流高圧源に対する略示回路図である。

図5(a)から(j)までは、能動マトリクス回路を形成する処理のステップの略示断面図である。

図6は、本発明のAMELDの代わりの実施例の構成の断面図である。

詳細な説明

図1において、従来技術AMELD10は、行および列に配列された複数の画素を含む。図素12における能動マトリクス回路、すなわち1行と1列の画素

能動マトリクス電界発光ディスプレイおよび操作の方法

本発明は、改良された発光効率を有する能動マトリクス電界発光ディスプレイ(AMELD)およびグレースケール動作をつくり出すAMELD操作の方法である。

発明の背景

電界発光(E1)ディスプレイは、当技術においては公知であり、これらは様々な適用においてフラットスクリーンディスプレイとして用いられる。代表的ディスプレイは、行と列に配列された複数の画素(pixel)を含む。各画素は1対の絶縁体と1対の電極との間の電界発光りん光体活性層を含む。

初期のE1ディスプレイは、多量モードにおいてのみ操作された。液晶ディスプレイ技術で既知の、能動マトリクス技術が最近E1ディスプレイに応用されてきた。既知のAMELDは、第1トランジスタを含む各画素の回路を含み、第1トランジスタは、そのゲートを選択回路に接続され、そのソースをデータ回路に接続され、そのドレインを第2トランジスタのゲートに接続され、かつ第1コンデンサ22を経て接地される。上記第2トランジスタのドレインは、接地ポテンシャルに接続され、そのソースは第2コンデンサを経て、接地およびE1セルの一端に接続される。上記E1セルの第2電極は、りん光体励起用交流電圧電源に接続される。

このAMELDは次のように動作する。フレーム時間の最初の部分ロード(LOAD)期間中、全データ回路は継続的にターンオンされる。特定データ回路オンの期間中、選択回路はストロブされる。それらの選択回路は、選択回路電圧を有し、トランジスタ14のターンオンはデータ回路18から、トランジスタ20のゲートおよびコンデンサ22に電荷を蓄積させ、これによりトランジスタ20をオンにする。上記LOADサイクルの完了時、全活動化画素の第2トランジスタがオンとなる。フレーム時間の第2部分イルミネート(ILLUMINATE)期間中、交流高圧電源28がターンオンされる。各活動化画素内の電源28

は第1トランジスタ14を含み、トランジスタのゲートが選択回路18に接続されそのソースがデータ回路18に接続され、そしてそのドレインが第2トランジスタ20のゲートに接続、かつ第1コンデンサ22を経て接地される。トランジスタ20のソースは接地接続され、そのドレインは第2コンデンサ24を経て接地接続され、かつE1セル28の一端に接続される。上記E1セル28の第2電極は、交流高圧電源28に接続される。

動作中、フレームの60ヘルツ(Hz)電圧周期は、分離したロードおよびイルミネート周期に細分される。ロード周期中1度に1つ、トランジスタ20の伝導を制御するために、データがデータ回路からトランジスタ14を経てロードされ、データ回路18から電荷をトランジスタ20のゲートおよびコンデンサ22に蓄積を可能にする。上記ロード周期の完了時に、全活動化画素の第2トランジスタはオンにある。イルミネート周期中、全画素に接続される交流高圧電源28はターンオンされる。上記電源28からの、E1セル28およびトランジスタ20を通る電流は、各画素内接地に流れ、上記画素のE1セルからの電界発光の光出力を生じる。

図2において、AMELD40は行および列に配列された複数の画素を含む。画素42の能動マトリクス回路は、第1トランジスタ44を含み、そのゲートが選択回路46に接続され、そのソースがデータ回路48に接続され、そしてそのドレインが第2トランジスタ50のゲートに接続される。コンデンサ51は第2トランジスタ50のゲートと、基準ポテンシャルのソースとの間に通常接続される。トランジスタ50のソースは、またデータ回路48に接続され、そしてそのドレインはE1セル54の一端に接続される。E1セル54の第2の電極は、図4に示されるような、同時に全配列を照明するために、単相共振10キロヘルツ(KHz)AC高圧電源用の母線58に接続される。また図示のような、トランジスタ44とゲートとドレインとの間の寄生コンデンサ60がこの構成では通常存在する。AMELD40の各データ回路は、アナログデジタル(A/D)変換器82および低インピーダンス緩衝増幅器84を含む回路により駆動される。その複雑な外観にもかかわらず、上記能動マトリクス回路は、画素密度が毎cm400でさえも画素領域のほんの小部分だけを事実上占めるにすぎない。E

特表平7-507403 (4)

ELセルは、ELセルの構成の一部として形成される阻止コンデンサである2個の直列コンデンサとしてしばしば示される。

図2(a)において、図2のAMELD40の他の一実施例は、データ回路48とトランジスタ50のゲートとの間に接続されるコンデンサ88を含む。コンデンサ51は通常AMELD40のアナロググレースケール操作のため通常存在する。コンデンサ88またはコンデンサ51は、AMELD40の2進すなわちデジタルグレースケール操作のため通常存在する。

像は上記AMELD上に、飛越走査モードまたは順次走査モードのどちらかでフレームの連続として表示される。動作中、フレームタイムは分離したロード周期とイルミネート周期とに細分される。ロード周期中、トランジスタ50の伝導を制御するために、データ回路からトランジスタ44を通して1度に1つデータがロードされる。特定データ回路オン期間中、全選択回路はストロブされる。それら選択回路には選択回路電圧があり、トランジスタ44をオンとし、データ回路48からの電荷をトランジスタ50のゲートに蓄積し、これによりトランジスタ50をオンにする。ロード周期の完了時、全活動化要素の第2トランジスタがオンとなる。イルミネート周期中、全要素に接続されたAC高電圧源58がターンオンされる。電圧58からELセル54とトランジスタ50を経て各活動要素のデータ回路48へ流れる電流は、活動化要素のELセルからの電界発光光出力を生じる。

上記低インピーダンス緩衝増幅器64は、データ回路48の電圧をイルミネート周期中その基準値に保持する。上記データ回路および選択回路駆動装置の設計は一直線方向で、データ回路も選択回路も、低電圧(15V)および約0.1ミリアンペア(0.1mA)の低電流で動作するので公知である。これらの安価な駆動装置は、AMELDを支持する基板上にまたは外部に作ることができる。

トランジスタ50のゲートに容量性記憶される上記データは、要素が白か、黒かまたは灰色かを制御するために、トランジスタ50を通して動作する。例えば、もしもトランジスタ50のゲートが5Vレベル(選択@-5Vおよびデータ@0V)を記憶すれば、トランジスタ50は、母線58における入力電圧の正および負の遷移を通して伝導し、母線58は即ちAを効果的に接地する。これは変位電

流のすべてを、母線58からELセル54を経て流し、順次上記要素に点火する。もしも、トランジスタ50のゲートが-5Vレベル(選択@-5Vおよびデータ@-5V)を記憶すると、トランジスタ50は母線58の入力電圧の全正遷移を通してそのままである。トランジスタ50はダイオードのように動作し、ELセルに関連する容量と組合せ、電界発光りん光体を通る変位電流の流れを急速に抑制しこれにより要素をターンオフする。

各要素の正確なグレースケール制御は、1フレームの各フィールド中、個々の(通常128)イルミネート各期一周期の間、データ回路の電圧を変化させることにより容易に達成される。上記電圧変化は、上記電圧の線形傾斜、グレーのレベルまたはその他の関数に対応する各種段のある電圧の階段関数でありうる。もし、例えばトランジスタ50のゲートが-1.5Vグレースケールレベル(選択@-5VおよびV_{ref}=1V)を記憶し、そしてデータ回路がフィールド中5Vから-5Vまで線形傾斜、次にトランジスタ50が、イルミネートサブサイクル128の正確に32に対して伝導し、25%の時間平均グレースケール傾度となる。

上記AMELD要素は、グレースケール情報をディスプレイする時でさえも、常にデジタル動作をすることに注意すべきである。全トランジスタは完全にオンまたは完全にオフで、どちらの状態にあってもパワーを全く消費しない。要素がオフの時には、トランジスタは共振パワー源から分離されているかのように簡単に動作し、従って全くパワーを消費すなわち浪費しない。上記AMELDは、それゆえに光生成のため、高圧源から活動化ELセルへほとんど100%のパワーを向ける。

AMELDのグレースケール制御を与える他の方法は、フレームタイム期間中、グレーレベルを形成するのに用いるビット数に通常等しいかまたは少ない。一群のロード/イルミネート周期を実行することを含む。これらのサブフレームの最初のロード周期中、最下位ビット(LSB)に対応するデータが、各要素の回路内にロードされる。このサブフレームのイルミネート周期中、高電圧源は一群のパルスN₁を放出する。この操作は、おのおのさらに上位のビットのため放出される一層多数のパルスで、最上位ビットに対応するところまで繰り返され

る。例えば、8ビットグレースケールに対し、上記高電圧源は最下位ビット(LSB)に1パルスを放出し、次の最上位ビットに2パルス、その次の最上位ビットに4パルス、等々最上位ビットに対し128パルスまで放出し;これによりELセルの励振および特定ビットの重要度に対応するその放出に重みを付ける。この操作は、1フレームを一群のサブフレームに細分するに等しく、そのおのおのがノグレースケールに対し上記略述した手順と同様に行なわれる。

これらのアプローチは、データ回路の電圧を変えることによって1サブフレーム内に数ビットを処理するため組み合わせられる。例えば、最下位ビットとその次の最下位ビットの効果は、1または3イルミネートパルス後に第2トランジスタをターンオフするため、データ回路の電圧を変えることにより、最初のサブフレーム中に組み合わせることができた。

第2トランジスタは、電界発光セルを通る電流を制御する手段として動作する。上記イルミネート周期中、ゲートはオンまたはオフされるが、グレースケール情報は、要素に印加される全エネルギーを制限することにより提供される。このことは、上記イルミネート周期中、この第2トランジスタがオンになる時間の長さを減らすことにより、すなわちイルミネート周期中に放出されるイルミネートパルスの数を変えることにより行なわれる。

上記AMELDディスプレイの利点は、全要素トランジスタは全イルミネート周期中動作することもできることである。これは、本発明のAMELDに対し全トランジスタ駆動位取り必要条件を、1μAよりも小さく減らすことである。また、トランジスタ50により与えられる孤立電圧は、トランジスタ50のドレーンが、高電圧にさらされるこの回路のほんの一部分であることを意味する。この特徴は、コストを大幅に下げ、歩留りを良くし、そして本発明の原理に組み込まれるAMELDの信頼性を向上するであろう。

図3において、代わりのAMELD60は行と列に配列された複数の要素を含む。要素62の駆動マトリックス回路、すなわち1行とJ列の要素は、第1トランジスタ64を含む。そのゲートが選択回路88に接続、そのソースがデータ回路68に接続、そしてそのドレーンが第2トランジスタ70のゲートに接続される。トランジスタ70のドレーンはまた選択回路88に接続されて、そのドレーン

は第1コンデンサ72を経てELセル74の電極に接続される。このELセル74の第2電極は第2コンデンサ78を経て高圧交流電源78に接続される。

図4において、本発明のAMELDにパワー供給可能な共振10KHz、AC高電圧源100は、所定パルス繰り返し数の低電圧パワーを受ける入力電極102を含む。抵抗器104およびELセル106が、電極102と図2に示した即ちAのすべてである即ち10との間のスイッチ108を経て直列に接続される。上記ELセル106は、上記のように本発明のAMELDの動作におけるように作用するので、可変コンデンサとして示される。上記入力電極102はまたインダクタ112およびスイッチ114を経て基準ポテンシャル116の線に接続される。比較器118は、セット/リセットラッチ122のリセット入力120に、ELセル106を経て接続される。セット/リセットラッチ122は、セット入力124、初充電出力126、ブートストラップ出力128およびオフ出力130を有する。上記初充電出力126は、活動化される時には、スイッチ108および114を閉じる。上記ブートストラップ出力128は、活動化される時には、スイッチ108および114を開き、そしてスイッチ132を閉じ、これが入力電極102を通過してインダクタ112、スイッチ108および抵抗器104に接続され;これにより上記インダクタ112とELセル106の入力とを直接接続させる。操作において、スイッチ108および114は初期に閉じられ、比較器118が可変コンデンサロード106に関して予め選択された電圧に達したことを感知するまで、上記入力電極から、抵抗器104、ELセル106およびインダクタ112を経て基準ポテンシャルへ電流が流れる。この時に比較器118が上記ラッチ122をリセットして、スイッチ108および114を開き、そしてスイッチ132を閉じる。インダクタ112はスイッチ132を経て放電し、可変コンデンサ106の電圧を、固定した多数の予め選択された電圧に駆動する。抵抗器104とインダクタ112の値は、入力電極102に印加される電圧の乗算を行なうのに選択される。通常、抵抗器およびインダクタのインピーダンスは、インダクタへのエネルギー流の大きな少数部となるようになっている。上記電流のほぼ95%が20という電圧掛け算を成しとげるために、上記インダクタ内へ流れる。

上記発明のAMELDは、上記能動マトリックス回路に対する種々半導体プロセスの一つを用いて形成される。信じられるプロセスは、その中に高電圧トランジスタが形成される材料として結晶性シリコン(x-Si)を用い最良性能を生じる。このプロセスは、高電圧トランジスタ、図素電極、x-Si層の内/表面の周辺駆動線路を形成すること、およびEiセルのりん光体および他の元素を被覆すなわちデポジットすることからなる。

上記x-Si層を形成することの主要な理由は、例えばサレノ等による情報ディスプレイ協会SID92ダイジェスト、ページ63-66 (by Salerno et al in the Society for Information Display SID 92 Digest, pages 63-66)に発表されたように、絶縁層上に高品質のSi層を作るため絶縁シリコン(Si)エピタキシャルプロセスの使用である。絶縁材料上のx-Si(x-SiO₂)は、標準シリコンウエーハ上に所定厚さの高品質耐熱酸化シリコン(SiO₂)を最初に成長させ、上記SiO₂上に多結晶シリコン(poly-Si)層をデポジットし、かつSiO₂単層で上記poly-Si層を覆うことにより形成される。上記ウエーハは次にSiの融点付近まで加熱されて、上記ウエーハの面上方を降し可動ストリップヒータで走査される。この可動ヒータは酸化物の層の間に挿入されているSi層を融解かつ再結晶させる。上記x-SiO₂プロセスの特定利点は成長SiO₂の使用にあり、必要なだけ厚くつくることができ、さらにイオン注入SiO₂層よりもはるかに厚くかつ濃密にできる。

上記x-SiO₂内/表面回路は、トランジスタおよび周辺スキナのような二極式相補形金属酸化膜半導体(BiCMOS)の製造のための高電圧BiCMOSプロセスを用いて形成される。結果は高電圧(HV)トランジスタは、1μm厚さのx-SiO₂内/表面100V以上の降伏電圧で製造できることを示している。図5(a)から図5(j)までにおいて、高圧BiCMOSプロセスが略示され、酸化物205で絶縁された個々のアイランド204a、204bおよび204c内へ、誘電体層202上の通常約1μm厚さのN型導形x-SiO₂層200のエッチングで開始し、マスクングおよびイオン注入ステップを用いPおよびN-ウエルドの両方を形成する；最初に素のようなN形ドーパント、次にホウ素のようなP形ドーパントで図示のようにN形ウエル204aと204cおよびP形

ウエル204bを形成する。マスク206は図5(a)および図5(d)に示されるように通常SiONで形成される。チャネル酸化物208と厚膜フィールド酸化物210はSiアイランドの面を越えて成長して活性領域を形成する。多結晶シリコン(poly-Si)は次にデポジットされ、高圧DMOSTトランジスタ214のゲート212および低圧CMOSTトランジスタ215のゲート216をつくるために形成される。図5(f)において、上記DMOSTトランジスタのゲート212は上記フィールド酸化物上方を上記活性領域から延び出し、フィールドプレート220を形成する。上記活性領域上方の上記ゲート212の縁は、P⁺チャネル拡散222の拡散線として用いられ、一方上記フィールド酸化物上方の上記ゲート上の部分は、上記DMOSTトランジスタ214のN⁺形伝導ドリフト領域224内の電界を制御するのに用いられる。N⁺チャネルソース/ドレイン領域226は、ヒ素イオン注入を用いて形成される。P⁺チャネルソース/ドレイン領域228は、次にホウ素イオン注入を用いて形成される。上記プロセスは、上記構成物をおおひわうリンケイ酸塩ガラス(BPSG)層230をデポジットし、このBPSGを十分に焼付し、232を経てSiアイランド204まで下って開口し、アルミニウム金属被覆234を用いてデバイスを相互接続させることにより完了する。上記プロセスは9個のマスクステップを有しDMOSTとCMOSTトランジスタの両方を製造可能とする。

操作において、上記DMOSTトランジスタ214のN⁺-P⁺接合部は低電圧でスイッチオンが上記トランジスタを導電させ、一方上記DMOSTトランジスタが導電しない時には、上記N⁺-N⁺接合部は、上記Eiセルに印加される電圧を阻止する。

上記DMOSTトランジスタの高電圧特性は、上記デバイスの各種物理ディメンションと同様に、拡散P⁺チャネルおよびN⁺-ウエルドリフト領域の両方のドーピング濃度に依存する。300Vトランジスタに対する全チャネル長さは、通常約30μmである。重要な物理ディメンションは、上記N⁺-ウエルドリフト領域の長さ、通常約30μm、活性領域内多結晶シリコンゲートの縁と、下に横たわるフィールド酸化物の縁との間の間隔は通常約4μm、そして上記フィールド酸化物上方の多結晶シリコンゲートと上記フィールド酸化物の縁とのオーバーラッ

プの量は約8μmである。上記DMOSTトランジスタ内の電流操作率は、またこれらのパラメータ中の幾つかの間数であると同様にトランジスタの全寸法の間数である。約400図素/cmを有する高密度AMELDが望ましいので、図素領域(従ってトランジスタ)はできるだけ小さく保たねばならない。しかし、ある場合には、高圧性能を生じる条件がまたトランジスタの全電流操作能力を減じるので所定電流規格に対して大きいトランジスタ領域を必要とする。例えば、N⁺-ウエルドーピング濃度は、最大電流を制御し、そして通常注意深い最適化を必要とする降伏電圧を逆に制御する。しかし、設計は大電流に対する要求を除いている(たつた1μA/図素が要求される)ので、ましてこれはこのアプローチにおける要因とはならない。

層の厚さは、AMELDにおけるトランジスタに対する所要降伏電圧および絶縁レベルを与えるように調整できる。高品質耐熱SiO₂は所定厚さまで容易に成長される。この製造は他の技術によっては、容易にまたは経済的に達成されない。このx-SiO₂は高結晶特性を特徴とする優良トランジスタである。上記x-SiO₂プロセスの第2の利点は、基板取り外しプロセスである。上記Si層下の酸化物層の製造のために、上記基板が剥離技術を用いてはずされ、その結果薄い層が、ガラス、レキサン(商品名)、または他の材料など様々な基板上に再装着できる。

上記Eiセルを形成するプロセスは、単色であれ着色であれいづれにしても、能動マトリックス回路の形成で始まる。その次のステップは、図素回路の第2トランジスタの通常ソースまたはドレインを金属化する底部電極、底部絶縁層、りん光体層および頂部絶縁層を連続的にデポジットすることである。上記2絶縁層は、頂部電極と能動マトリックスとの接続点を現し、また外部接続がドライバロジックになされる領域から材料を移動させるため次にパターンにされる。上記頂部透明電極、通常酸化インジウムスズ、は次にデポジットされパターンにされる。このステップはまた、上記りん光体と上記能動マトリックスとの間の回路を完成するのに役立つ。

着色りん光体層を形成するプロセスは、第1りん光体をデポジットおよびパターンにすること、エッチストップ層をデポジットすること、第2りん光体をデポ

ジットおよびパターンにすること、第2エッチストップ層をデポジットすること、および第3りん光体をデポジットおよびパターンにすること、からなっている。パターンにしたりん光体のこの配列は、次に頂部絶縁層で被覆される。チューング(Tuenge)等は米国特許第4,954,747号において、青色のSrS:CeF₃またはZnS:Tmりん光体もしくはセリウムでドーパしたII群チオ砒素子酸金属、緑色のZnS:TbF₃、りん光体およびZnS:Mnりん光体とフィルタの組合せから形成される赤色りん光体を含む、多色Eiディスプレイを公表した。上記フィルタは赤色ポリイミド樹脂またはCdSSeフィルタ、通常CdS_{0.9}Se_{0.1}で赤色画素上に形成され、または別法として、もしもカバーが使用されるとシールカバープレート上に合体される。上記赤色フィルタは、ZnS:Mnりん光体(黄色)の所定赤部出力を透過して所定赤色をつくる。これらのりん光体およびフィルタは、継続的に、公知のデポジション、パターンニングおよびエッチングの技術を用いてつくられる。

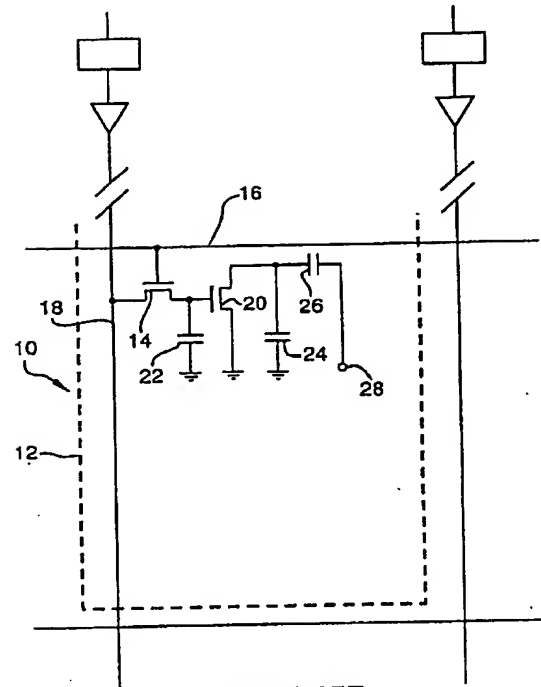
上記絶縁層は、約10乃至80ナノメートル(nm)の厚さのAl₂O₃、SiO₂、SiONまたはBaTaO₄、またはその他同様のものとして行うことができる。上記誘電体層はSi₃N₄、またはSiONにすることができる。絶縁酸化物層の存在は、Si₃N₄層の接着性を向上させる。上記誘電体層は、スパッタリング、プラズマCVD(化学蒸着法)またはその他同様のものによって形成され、そして上記絶縁酸化物層は、電子ビーム蒸着、スパッタリング、CVDまたはその他同様のものによって形成される。絶縁デポジションステップに対する処理温度は約500°Cである。上記シリコンウエーハは、処理期間中最高温度にさらされ、青色りん光体を冷却するのに必要な750°Cであろう。

大領域ディスプレイが望まれる時には、本発明のAMELDを形成するための別のプロセスは、例えば、鈴木等により情報ディスプレイ協会SID92ダイジェスト、344-347ページ(Society for Information Display SID 92 Digest, pages 344-347)に公表されたように、良好な高圧デバイスが現在無定形シリコンで造れるので無定形シリコンが好ましいけれども、無定形シリコン(a-Si)または多結晶シリコンでトランジスタをつくることを含む。この場合に、無定形シリコンが多結晶シリコンがいずれが用いられるにせよ上記AMELD形

成のプロセスは反対である；E Lセルが先に透明基板上に形成されて、トランジスタが上記E Lセル上に形成される。図6において、無定形トランジスタを組み入れているAMELD300は、透明基板302、透明電極304、第1絶縁層306、上記のようにパターンにされたE Lシリコン光体層308、第2絶縁層310、バック電極312および分離層314を含む。上記駆動マトリクス回路は、シラン技術における標準グロー放電を用いてデポジットされ、かつバック電極312の分割と一緒に関素を形成するため、標準マスキングおよびエッチング技術を使用し隣接アイランドから絶縁された、無定形シリコンアイランド318内/数面分離層314上に形成される。上記図素は上記透明電極304を分割することにより等分に形成されることが理解される。

第1トランジスタ318は、ゲート酸化物322上に横たわり、かつ選択回路324に接続されるゲート320、データ回路母線328で接触されるソース領域326、導体332で第2トランジスタ338のゲート酸化物338上に横たわるゲート334に接続されるドレイン領域330を含む。上記第2トランジスタ338は、データ回路母線328に接触するソース領域340および開口部346を通る導体344でバック電極312に接続されるドレイン領域342を有する。上記全組立は、上記BPSGのような材料からなる絶縁体348の層でデポジットすることによりシールされる。

本明細書に教示する動作の装置および方法は、本発明の一般原理を示すものであることを理解すべきである。本発明の精神および範囲から逸脱することなく、当業者により変更は容易に考案することができる。例えば、図素内構成要素の異なる配置が可能である。さらにその上に、本発明は、高圧駆動およびパルス波の特定形式、電源の特定形式またはその容量、もしくは特定トランジスタの形式に限定されない。本発明により提供される装置は、特定周波数における動作に限定されるものではない。



PRIOR ART
Fig. 1

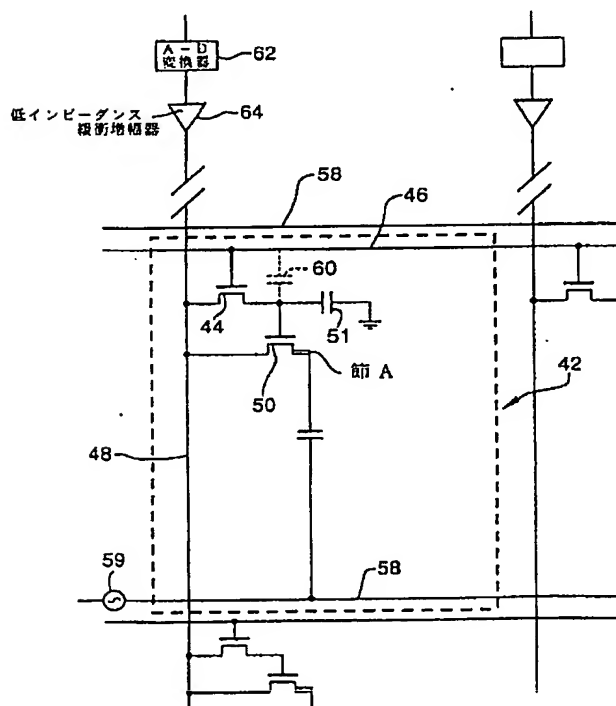


Fig. 2

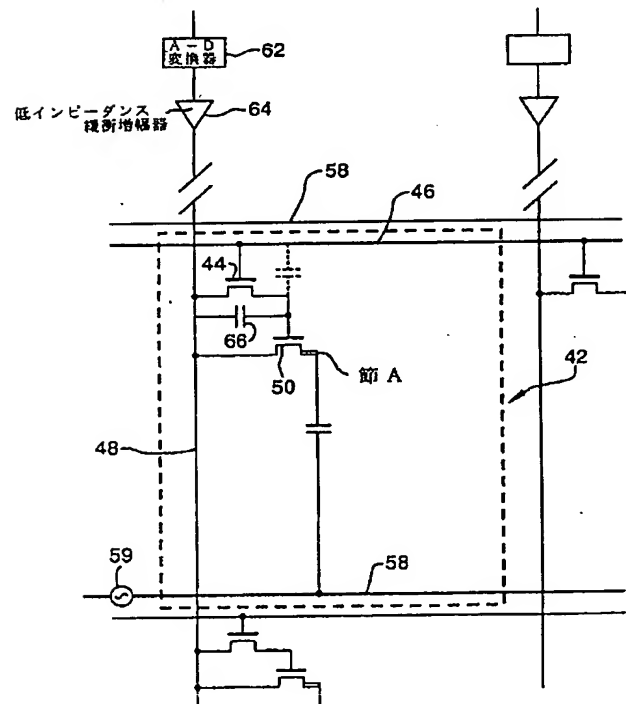


Fig. 2(a)

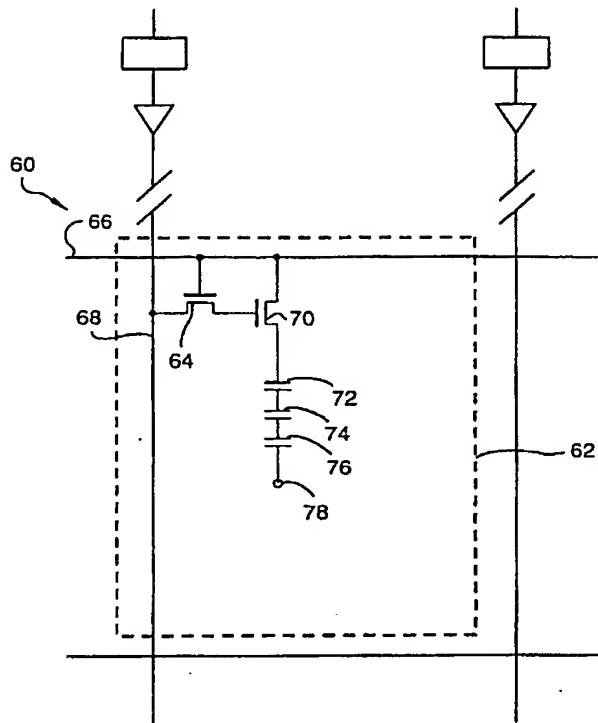


Fig. 3

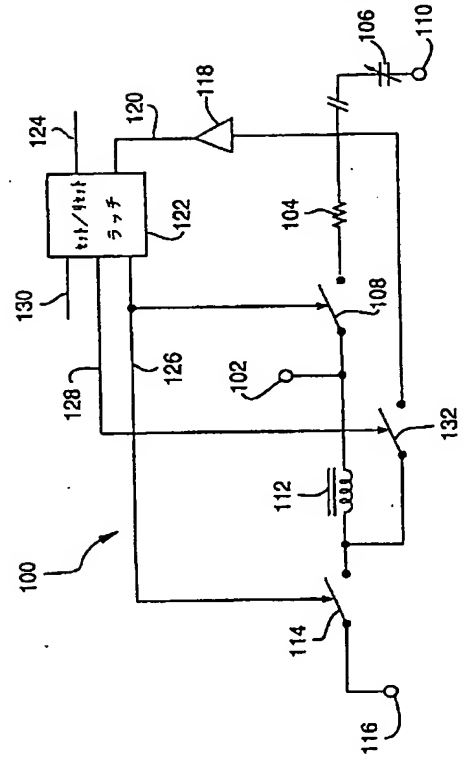


Fig. 4

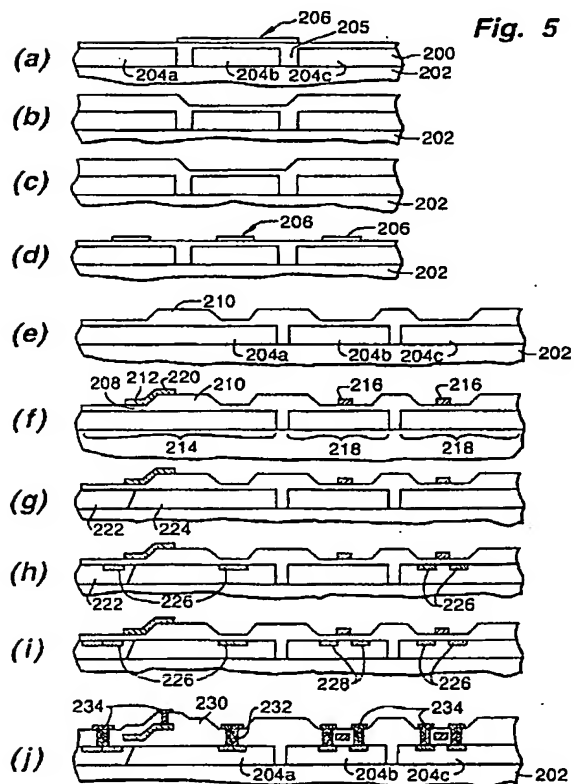


Fig. 5

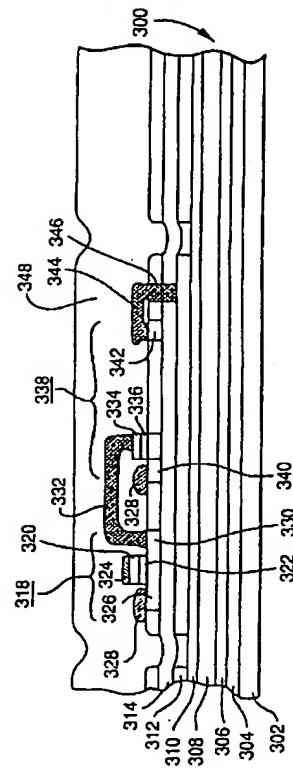


Fig. 6

国際調査報告		International application No. PCT/US79/04906
A. CLASSIFICATION OF SUBJECT MATTER IPCIN: G06G 3/00, G06G 3/10 US CL: 340/751; 315/104.9 According to International Patent Classification (IPC) or to both national classifications and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) 11 3 140/181, 115, 119, 141, 264, 425 01, 313/440; 401/244, 315/104.9 Documentation searched other than minimum documentation in the cases that such documents are included in the (s) searched Everyman data base searched during the international search (name of data base and, where practicable, search terms used) APP: Digital, Analog, Inductor Electroluminescent, diode, transistor, gray scale, gray scale		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevance to claim No.
Y	US, A, 4,087,792 (ASARS) 02 May 1978; see fig. 1.	1-3, 5-13
Y	US, A, 4,958,105 (YOUNG et al) 18 September 1990; see fig. 4.	1, 3-13
Y	US, A, 4,554,539 (GRAVES) 19 November 1983 see Fig. 3.	8
Y	US, A, 4,602,192 (NOMURA et al) 22 July 1986 see Fig. 9 (b)	15
<input checked="" type="checkbox"/> Further documents are listed in the examination of Box C. <input type="checkbox"/> See patent family annex.		
1 Document published after the international filing date, or priority date, and not yet published in the examination file (not to be considered in the prior art of the invention) *2* Document published on or after the international filing date *3* Document published on or after the international filing date, or priority date, and not yet published in the examination file (not to be considered in the prior art of the invention) *4* Document published on or after the international filing date, or priority date, and not yet published in the examination file (not to be considered in the prior art of the invention) *5* Document published on or after the international filing date, or priority date, and not yet published in the examination file (not to be considered in the prior art of the invention) *6* Document published on or after the international filing date, or priority date, and not yet published in the examination file (not to be considered in the prior art of the invention) *7* Document published on or after the international filing date, or priority date, and not yet published in the examination file (not to be considered in the prior art of the invention) *8* Document published on or after the international filing date, or priority date, and not yet published in the examination file (not to be considered in the prior art of the invention) *9* Document published on or after the international filing date, or priority date, and not yet published in the examination file (not to be considered in the prior art of the invention) *10* Document published on or after the international filing date, or priority date, and not yet published in the examination file (not to be considered in the prior art of the invention) *11* Document published on or after the international filing date, or priority date, and not yet published in the examination file (not to be considered in the prior art of the invention) *12* Document published on or after the international filing date, or priority date, and not yet published in the examination file (not to be considered in the prior art of the invention) *13* Document published on or after the international filing date, or priority date, and not yet published in the examination file (not to be considered in the prior art of the invention) *14* Document published on or after the international filing date, or priority date, and not yet published in the examination file (not to be considered in the prior art of the invention) *15* Document published on or after the international filing date, or priority date, and not yet published in the examination file (not to be considered in the prior art of the invention)		
Date of the search completion of the international search 18 JULY 1993		Date of making of the international search report 27 SEP 1993
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20531 Telephone No. NOT APPLICABLE		Authorized officer AMELIA AU Telephone No. (703) 505-6000 JULY 1993 PATENT EXAMINER GROUP 800

Form PCT/ISA/210 (continued sheet) July 1992

国際調査報告		International application No. PCT/US79/04906
C. (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevance to claim No.
Y	US, A, 4,962,374 (FUJIOKA et al) 09 October 1990, fig. 1.	15
A, P	US, A, 5,172,034 (ALESSIO) 15 December 1992	4
A	US, A, 4,528,480 (UNIGAMI et al) 09 July 1985	1-15
A	US, A, 5,079,483 (SATO) 07 January 1992	1-15
A	US, A, 3,761,617 (TSUCHIYA et al) 23 September 1973	1-15
A	US, A, 3,590,156 (EASTON) 29 June 1971	1-15
A	US, A, 4,114,070 (ASARS) 12 September 1978	1-15

Form PCT/ISA/210 (continuation of annex sheet) July 1992